

AS163 の冒険物語

SN54ALS161B, SN54ALS162B, SN54ALS163B, SN54AS161, SN54AS163 SN74ALS161B, SN74ALS163B, SN74AS161, SN74AS163 SYNCHRONOUS 4-BIT DECADE AND BINARY COUNTERS

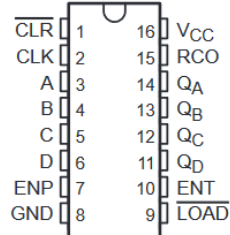
SDAS276A – DECEMBER 1994 – REVISED JULY 2000

- Internal Look-Ahead Circuitry for Fast Counting
- Carry Output for n-Bit Cascading
- Synchronous Counting
- Synchronously Programmable
- Package Options Include Plastic Small-Outline (D) and Shrink Small-Outline (DB) Packages, Ceramic Chip Carriers (FK), Standard Plastic (N) and Ceramic (J) DIPs

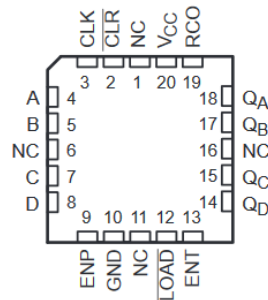
description

These synchronous, presettable, 4-bit decade and binary counters feature an internal carry look-ahead circuitry for application in high-speed counting designs. The SN54ALS162B is a 4-bit decade counter. The 'ALS161B, 'ALS163B, 'AS161, and 'AS163 devices are 4-bit binary counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincidentally with each other when instructed by the count-enable (ENP, ENT) inputs and internal gating. This mode of operation eliminates the output counting spikes normally associated with asynchronous (ripple-clock) counters. A buffered clock (CLK) input triggers the four flip-flops on the rising (positive-going) edge of the clock input waveform.

SN54ALS161B, SN54ALS162B, SN54ALS163B,
SN54AS161, SN54AS163 . . . J PACKAGE
SN74ALS161B, SN74AS161,
SN74AS163 . . . D OR N PACKAGE
SN74ALS163B . . . D, DB, OR N PACKAGE
(TOP VIEW)



SN54ALS161B, SN54ALS162B, SN54ALS163B,
SN54AS161, SN54AS163 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

Process begin

Wait until rising_edge(SysClk);

If CLR = '0' then

 Q <= "0000";

Elsif LOAD = '0' then

 Q <= D & C & B & A;

Elsif ENP = '1' then

 Q <= Q+1;

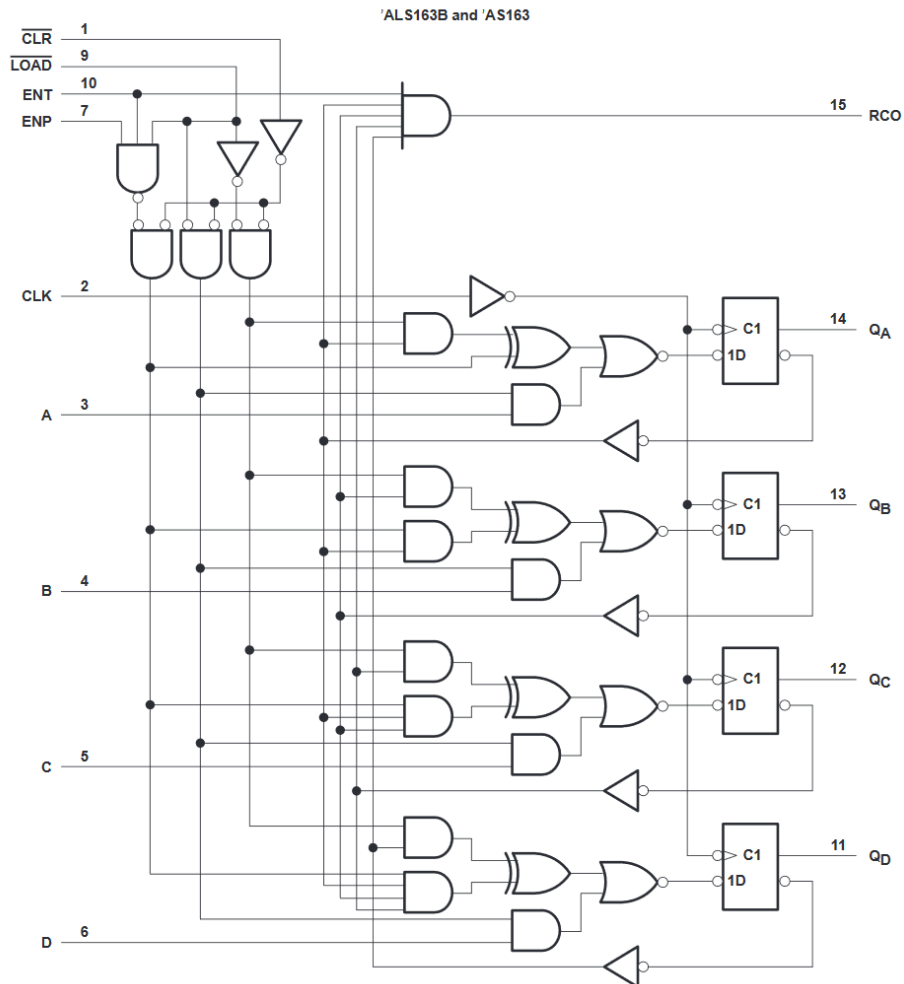
End if;

End process;

TI の HP から Data Sheet をダウンロード

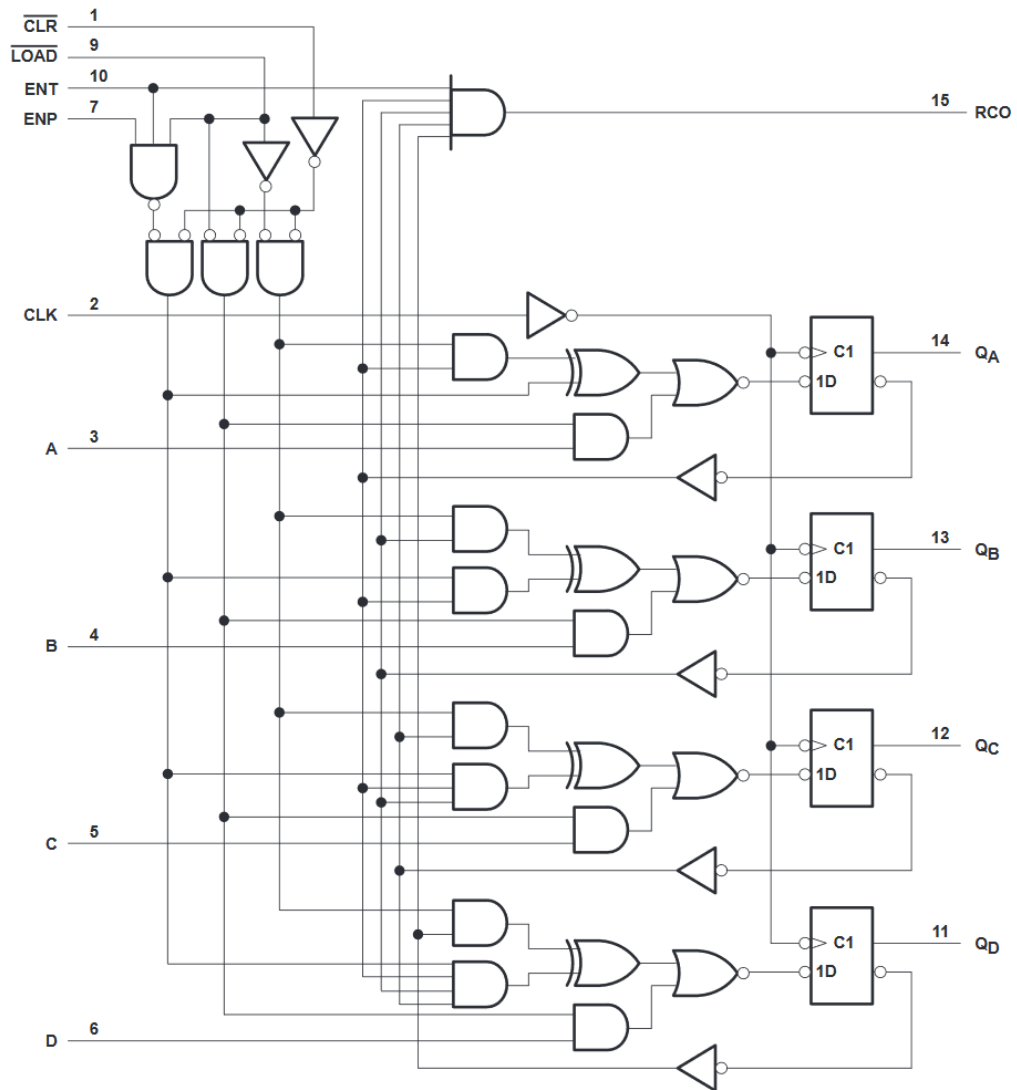
SN54ALS161B, SN54ALS162B, SN54ALS163B, SN54AS161, SN54AS163
SN74ALS161B, SN74ALS163B, SN74AS161, SN74AS163
SYNCHRONOUS 4-BIT DECADE AND BINARY COUNTERS
SDAS276A – DECEMBER 1994 – REVISED JULY 2000

logic diagram (positive logic)

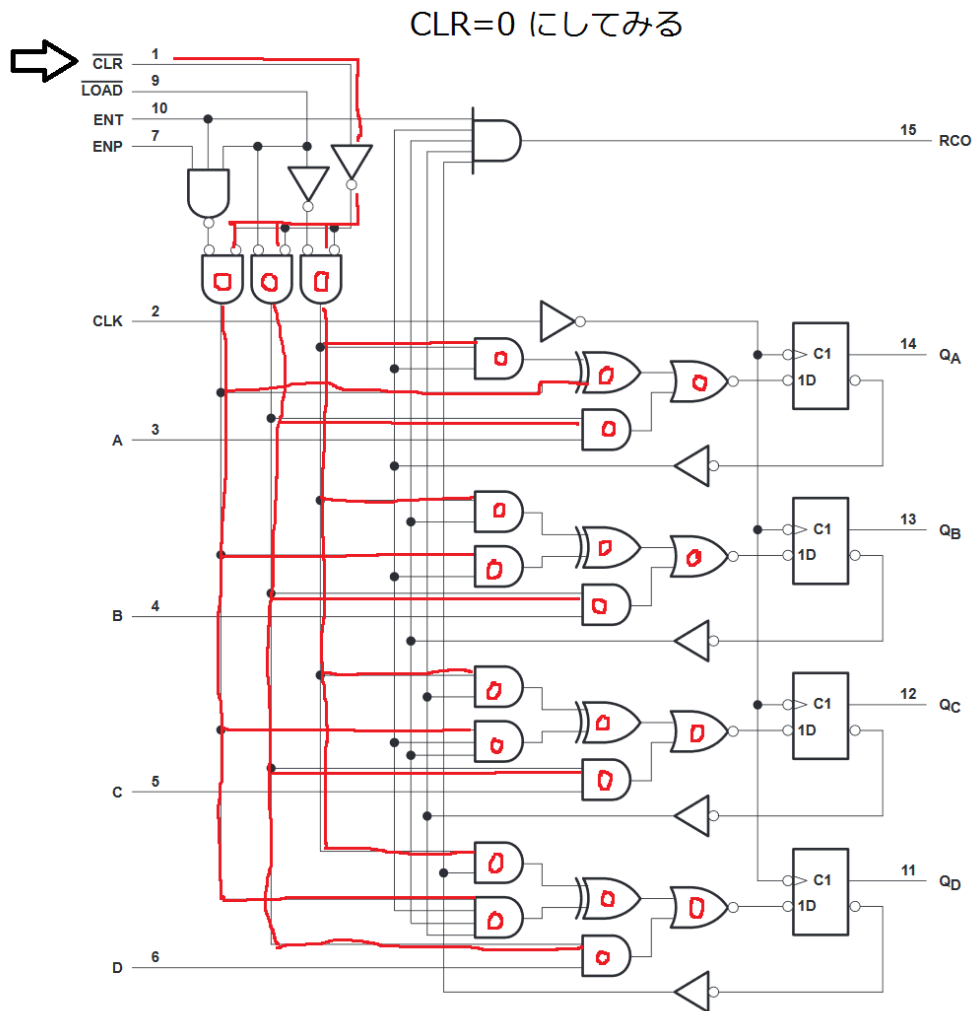


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Equivalent Circuit of 4 bit Synchronous Binary Counter



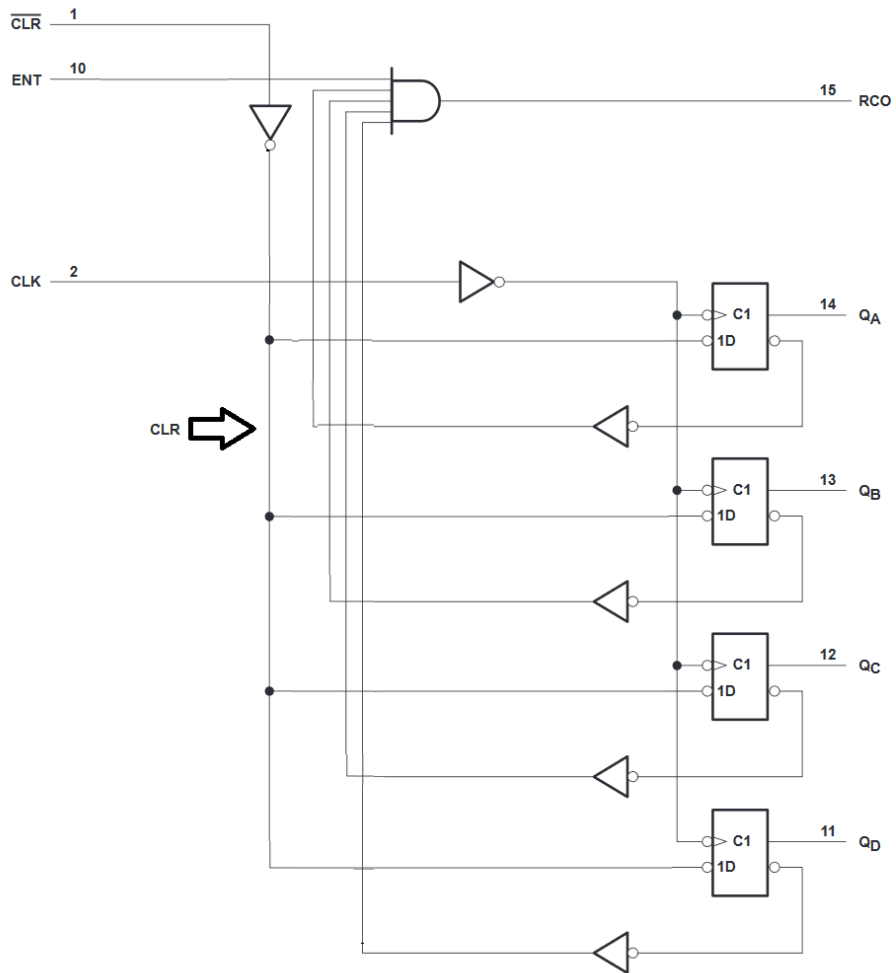
スペックにはデバイスの等価回路が紹介されています。
等価回路通りに作られているとは限りませんが、等価回路通りに動作すると考えて矛盾が発生しません。
現実には最少のトランジスタ数で高速動作をする工夫がなされています。



CLR に注目すると、この信号が最優先であることが分かります。
つまり他の信号の状態に関係なく、カウンタはリセットされます。

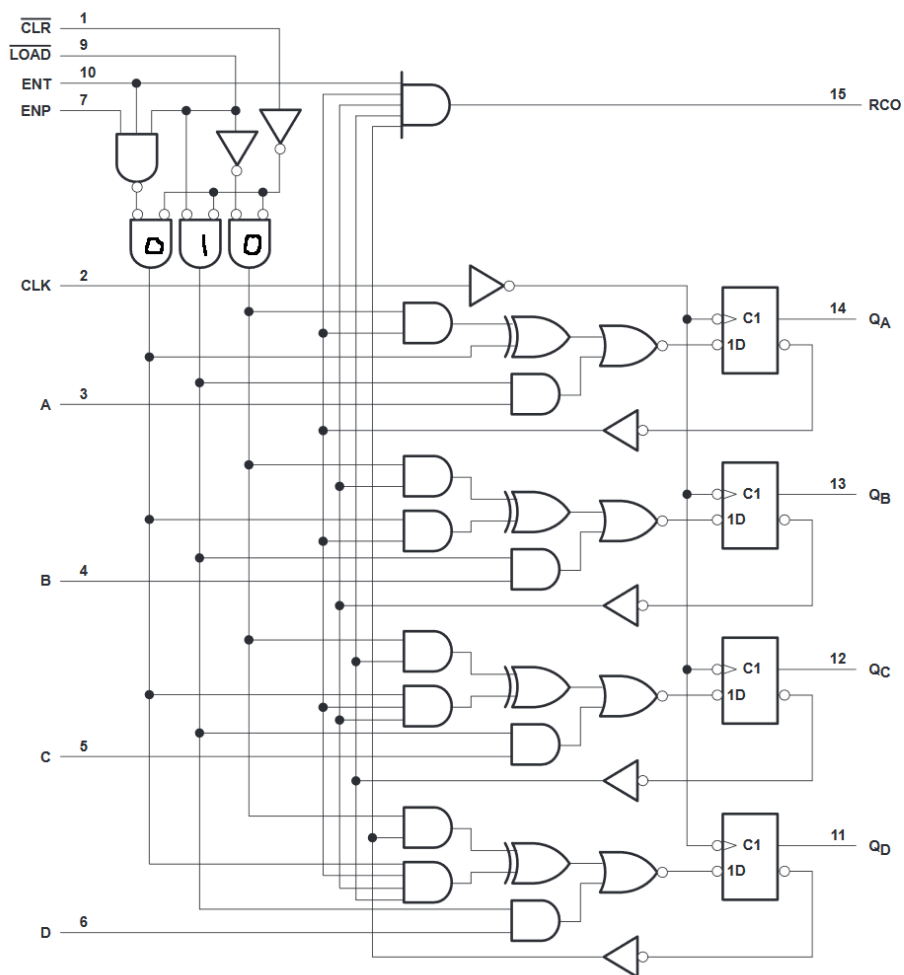
CLR = 0

次のクロックでQa,Qb,Qc,Qdは0になる



この通り

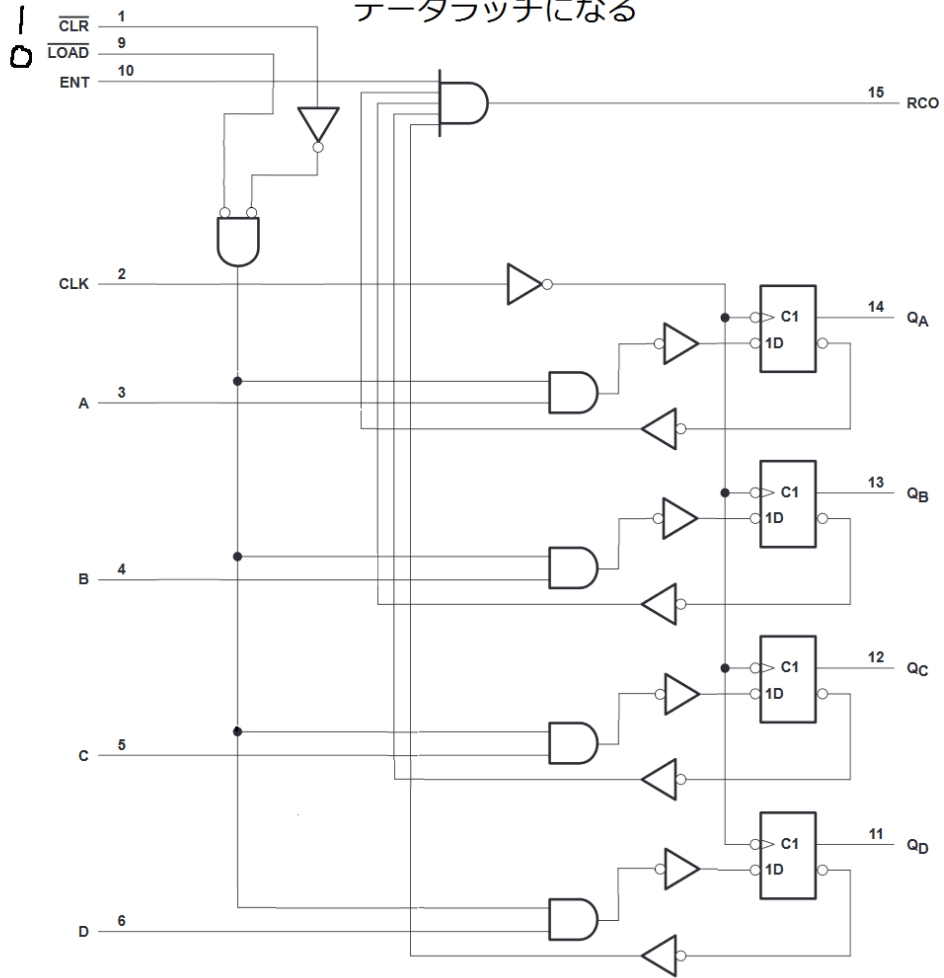
CLR=1, LOAD=0 なら



CLR の次に優先度の高いのは LOAD 信号です。

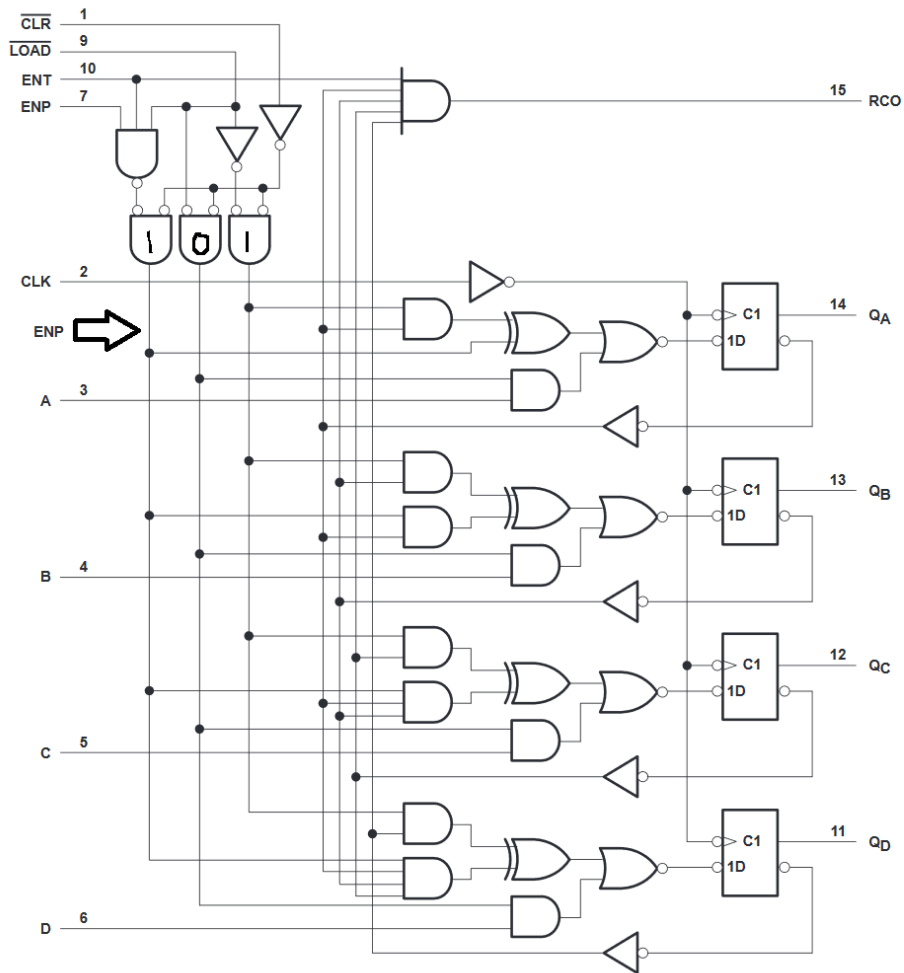
LOAD 信号が 0 になるとカウンタに初期値がロードされます。

CLK=1,LOAD=0 なら4ビットの
データラッチになる



この通り

CLR=1, LOAD=1 にしてみよう



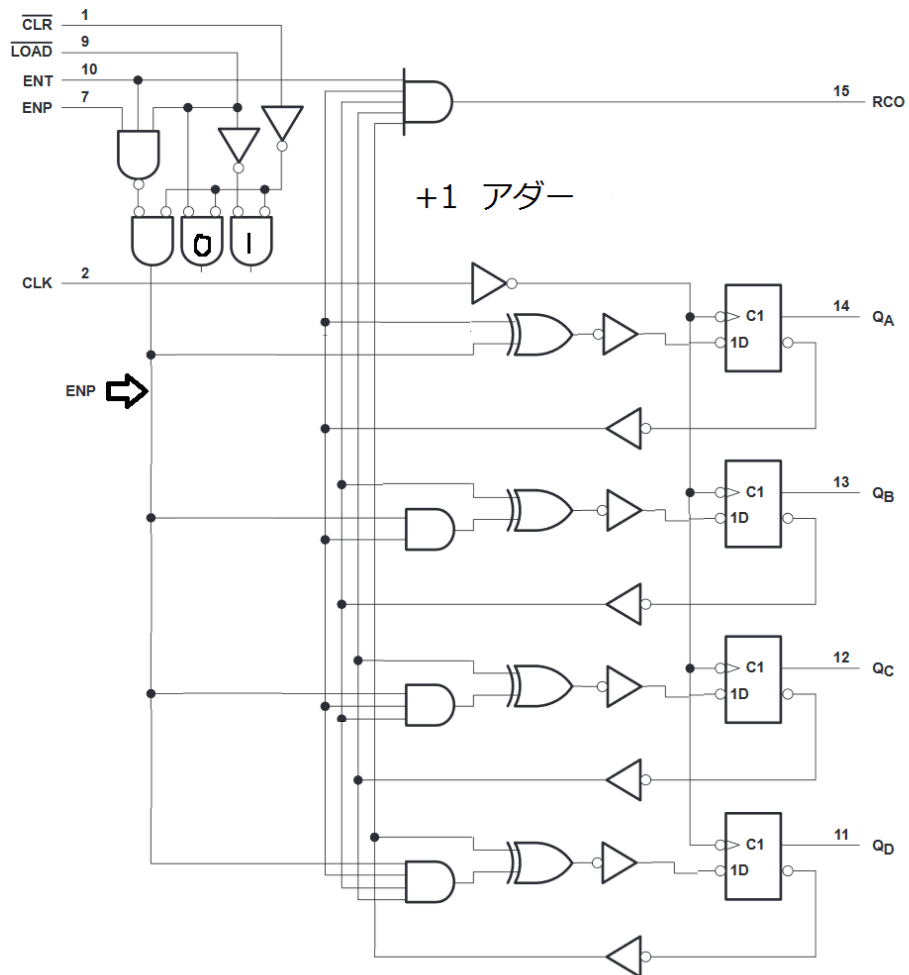
CLR=1,LOAD=1 ならカウンタが働きます。

ENP=ENT= 1 のときカウントアップします。

ENP と ENT のつなぎ方を工夫すればバイナリカウンタの動作速度が速くなります。

CLR=1, LOAD=1

バイナリカウンタになった



この通り。このすべての動作を VHDL で書くと

```
Process begin
```

```
Wait until rising_edge(SysClk);
```

```
  If CLR = '0' then
```

```
    Q <= "0000";
```

```
  Elsif LOAD = '0' then
```

```
    Q <= D & C & B & A;
```

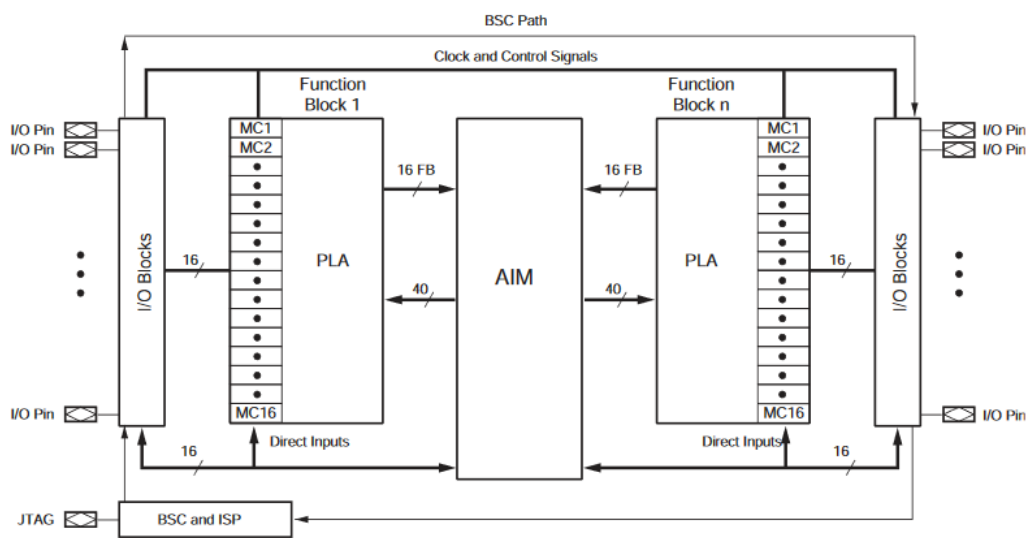
```
  Elsif ENP = '1' then
```

```
    Q <= Q+1;
```

```
  End if;
```

```
End process;
```

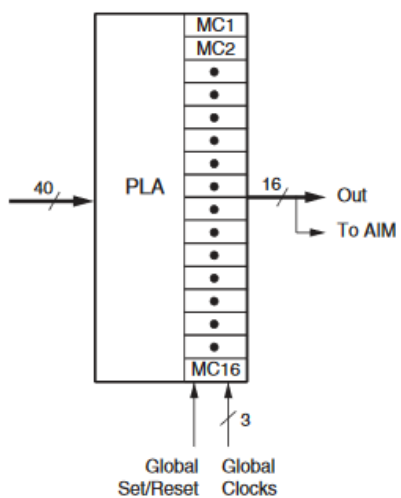
XILINX CoolRunner-II CPLD ファミリ



DS090_01_121201

図 1 : CoolRunner-II CPLD アーキテクチャ

- CPLD : Complex PLD
- PLD : Programmable Logic Device
- BSC : Boundary Scan
- ISP : In System Programming
- PLA : Programmable Logic Array
- AIM : Advanced Interconnect Matrix
- JTAG : Joint Test Action Group
- MC : Macro Cell



DS090_02_101001

図 2 : CoolRunner-II CPLD ファンクションブロック

