ハードウェア構成法実験
第2回

2003/04/14

担当　千本潤介
bonse@is.s.u-tokyo.ac.jp

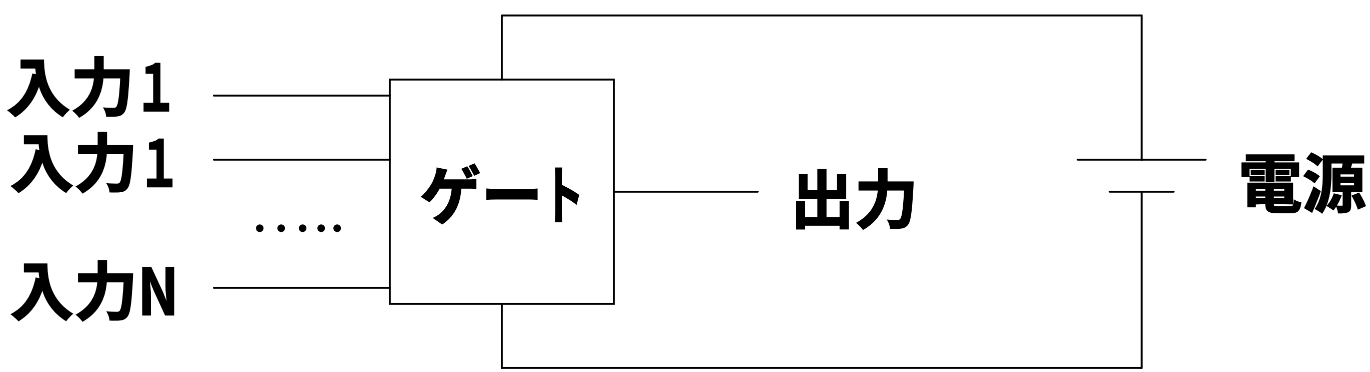
内容

1. 基本ゲート
2. 論理関数と真理値表
3. 主加法・主乗法標準形

1. 基本ゲート

ゲート(1/2)

- ディジタル回路設計では、いくつかの入力を受け取り、その値の組合せに応じて一つの値を出力する**ゲート**と呼ばれる部品を組合せて回路を構成



※電源は回路図では通常省略される

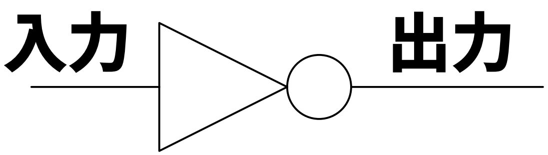
ゲート(2/2)

- 入力、出力とも0または1の2値
- 電圧が0Vの状態を0とする
- 電圧が電源電圧と同じ状態を1とする
- N入力ゲートは、N個の0/1値を受け取り一個の0/1値を返す関数とみなせる

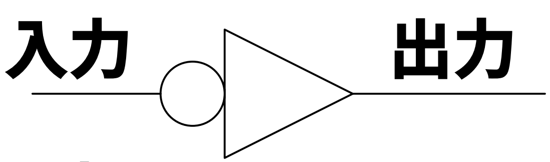
※実際のゲートは、入力電圧が多少狂っても正常動作する

NOTゲート

- 入力の1/0を逆にする(**論理否定**)ので**NOTゲート**と呼ばれる
- **インバータ**とも呼ばれる



回路図記号

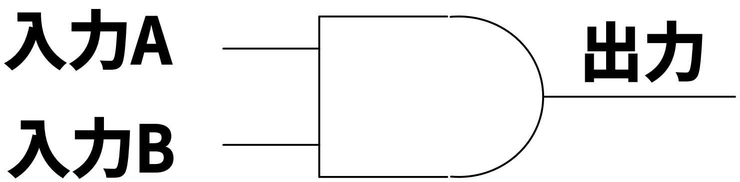


こう書かれる場合もある

入力	出力
0	1
1	0

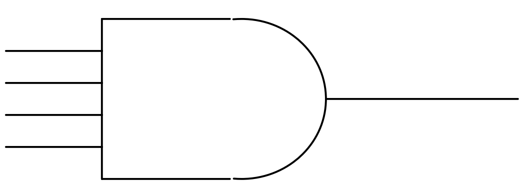
ANDゲート

- 2つ以上の入力線を持つ
- 入力が全て1の時出力が1になる(**論理積**)



回路図記号（2入力）

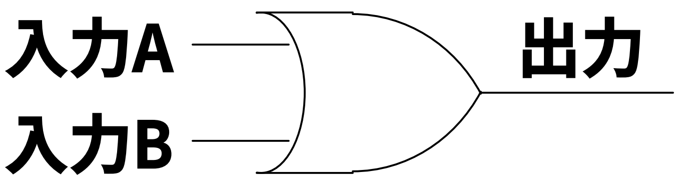
A	B	出力
0	0	0
0	1	0
1	0	0
1	1	1



回路図記号（4入力）

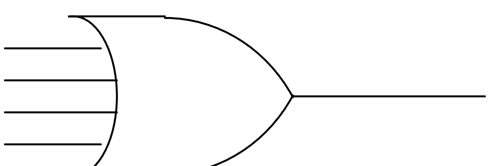
ORゲート

- 2つ以上の入力線を持つ
- 入力のうち一つ以上が1の時出力が1になる (論理和)



回路図記号 (2入力)

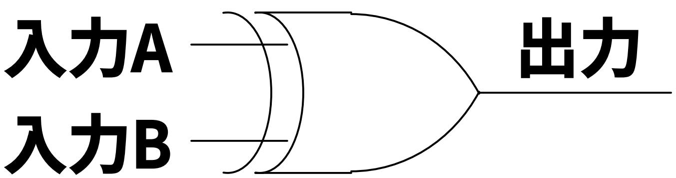
A	B	出力
0	0	0
0	1	1
1	0	1
1	1	1



回路図記号 (4入力)

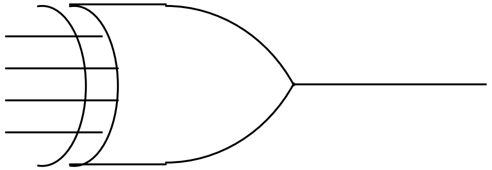
XORゲート

- 2つ以上の入力線を持つ
- 値が1である入力の本数が奇数の時出力が1になる(排他的論理和)



回路図記号（2入力）

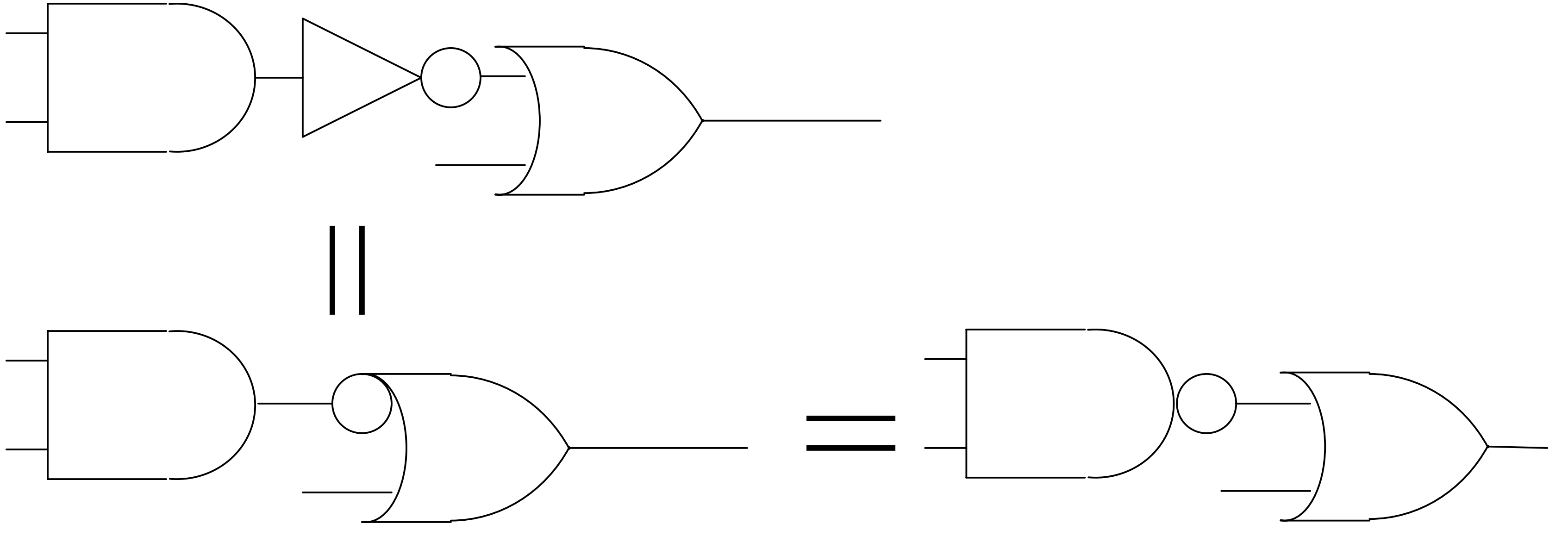
A	B	出力
0	0	0
0	1	1
1	0	1
1	1	0



回路図記号（4入力）

NOTゲートの簡略記法

- NOTゲートが他のゲートにつながっているときは、単にそのゲートに「○」印を付け加えても同じ意味になる(下例参照)

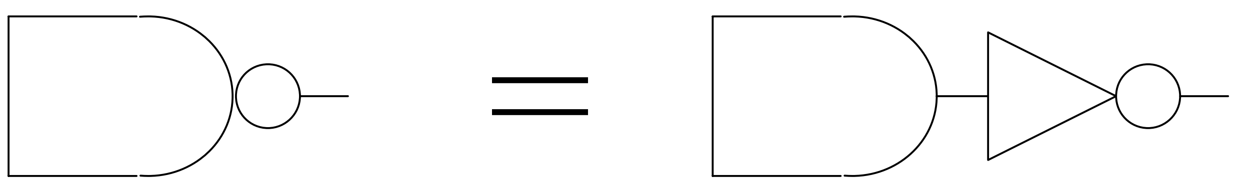


ユニバーサルゲート

- そのゲートのみを組み合わせれば任意の論理関数を表現できるゲート
- 組合せる際、入力のうちいずれかを0または1に固定することは禁止
- 例えば、後述の2入力NANDゲートはユニバーサルゲート

NANDゲート

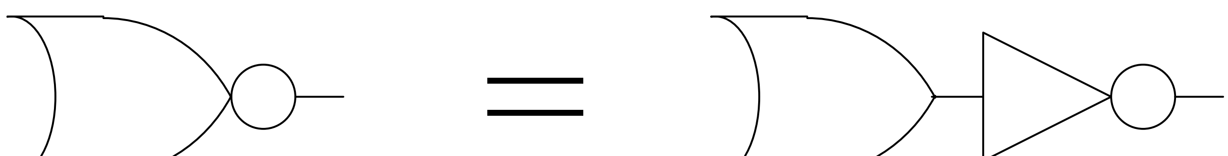
- ANDゲートの出力にNOTゲートをつないだ物
- 入力本数によらず、NANDゲートはユニバーサルゲート



NANDゲート

NORゲート

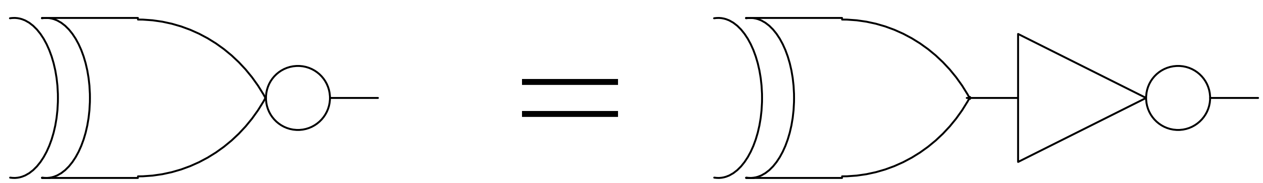
- ORゲートの出力にNOTゲートをつないだ物
- 入力本数によらず、NORゲートはユニバーサルゲート



NORゲート

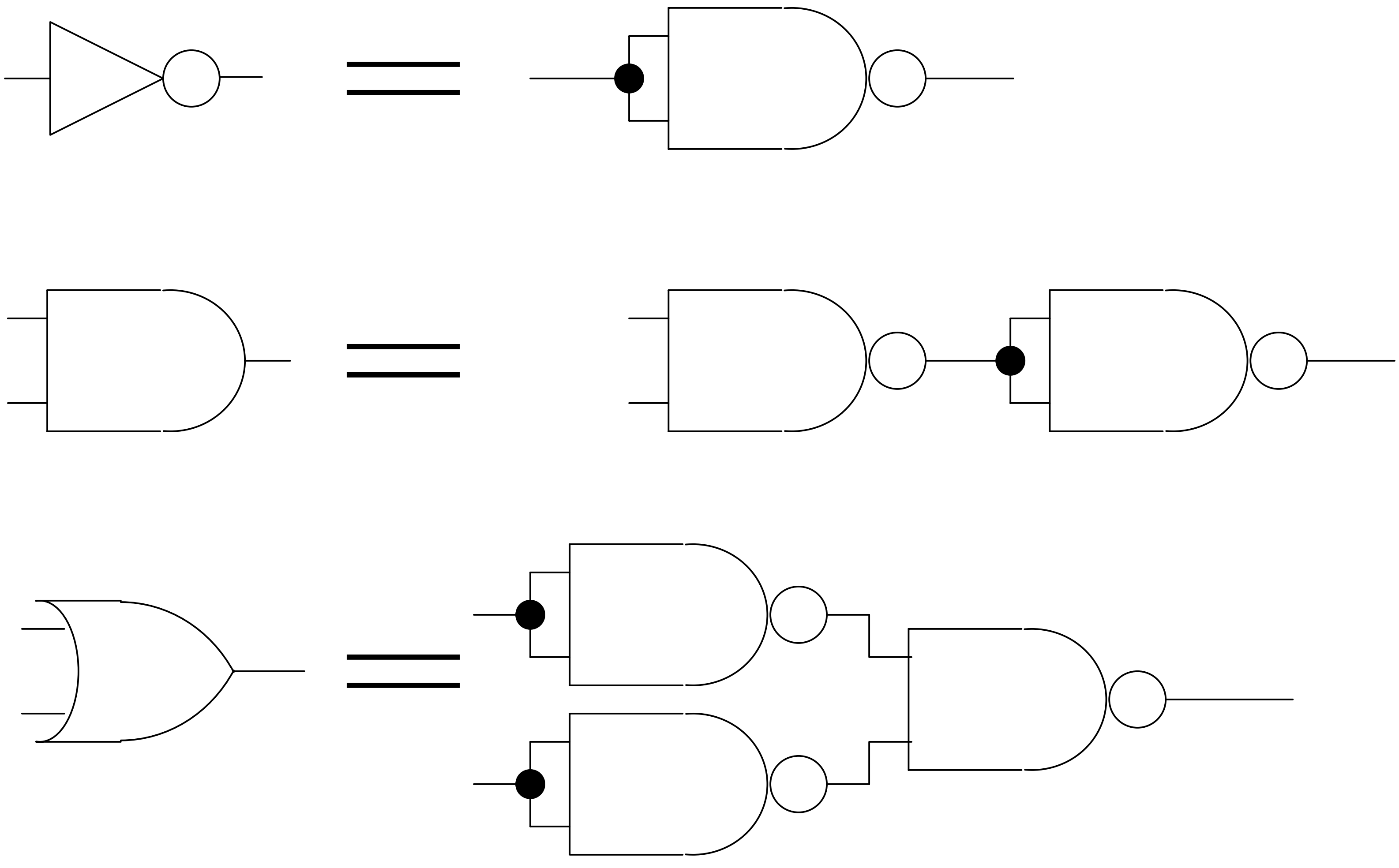
XNORゲート

- XORゲートの出力にNOTゲートをつないだ物
- XNORゲートはユニバーサルゲートではない



XNORゲート

各ゲートのNANDゲートへの変換



2．論理式と真理値表

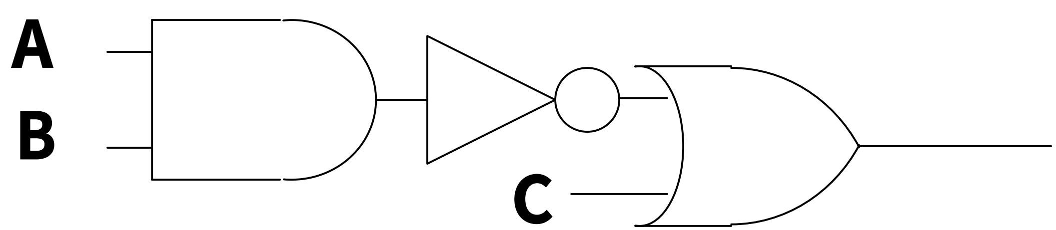
ゲート回路と論理式(1/2)

- ゲートで構成された回路を対応する論理式で記述したほうが便利な場合有り
- 下表のように同じ論理関数でも様々な記号が用いられる

NOT(論理否定)	－(マイナス)、¬
AND(論理積)	＊、・、∧
OR(論理和)	＋、∨
XOR(排他的論理和)	⊕

ゲート回路と論理式(2/2)

- 例えば、下図回路は¬ (A∧B) ∨Cという論理式で表現可能
- -(A*B)+C等と書かれる場合もある



真理値表

- 論理関数の、入力値の組み合わせと出力の対応を記述した表を真理値表と言う
- 通常、入力値の組み合わせを全て網羅

真理値表の例(1/2)

- 論理関数NAND(X,Y)=-(X*Y)の真理値表

X	Y	NAND(X,Y)
0	0	1
0	1	1
1	0	1
1	1	0

真理値表の例(2/2)

- 論理関数SEL(A,B,S)=A*-S + B*Sの真理値表

A	B	S	SEL(A,B,S)
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1

A	B	S	SEL(A,B,S)
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

3．主加法·主乗法標準形

真理値表から論理式への変換

- 真理値表から論理式を導きたい場合、どうするか？

A	B	S	SEL(A,B,S)
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1

A	B	S	SEL(A,B,S)
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

主加法標準形(1/2)

- 出力が1になる入力組み合わせを列挙
- 各組み合わせに対し1になるAND項を列挙
  - 下例では(-A)BS, A(-B)(-S), AB(-S), ABS

A	B	S	SEL(A,B,S)
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1

A	B	S	SEL(A,B,S)
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

主加法標準形(2/2)

- 列挙したAND項をORで結合すれば完成
  - 例では

    (-A)BS + A(-B)(-S) + AB(-S) + ABS
- このように構成した論理式を**主加法標準形**と言う

主乗法標準形(1/2)

- 出力が0になる入力組み合わせを列挙
- 各組み合わせに対し0になるOR項を列挙
  - 下例でA+B+S, A+B+(-S), A+(-B)+S, (-A)+B+(-S)

A	B	S	SEL(A,B,S)
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1

A	B	S	SEL(A,B,S)
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

主乗法標準形(2/2)

- 列挙したOR項をANDで結合すれば完成
  - 例では
    (A+B+S)(A+B+(-S))(A+(-B)+S)((-A)+(-B)+S)
- このように構成した論理式を**主乗法標準形**と言う